

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-270692

(43)Date of publication of application : 09.10.1998

(51)Int.Cl.

H01L 29/78
H01L 21/28
H01L 21/316
H01L 21/76
H01L 21/336

(21)Application number : 09-091350

(71)Applicant : NITTETSU SEMICONDUCTOR KK

(22)Date of filing : 27.03.1997

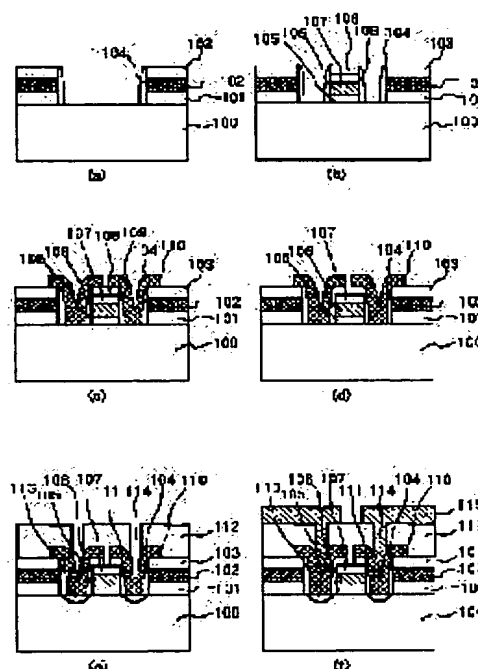
(72)Inventor : TOMIOKA YUGO

(54) MANUFACTURE OF MOS TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce parasitic capacitance, and to improve driving capacity in a MOS transistor.

SOLUTION: The two-layer films of a silicon oxide film (a lower layer) 105 and a silicon nitride film (an upper layer) 108 are formed as cap insulating films for a gate electrode 106, the gate electrode 106 is patterned, and sidewall spacers 109 consisting of the silicon nitride film are formed onto the sidewalls of these films and gate electrode. Source/drain electrodes 110 composed of a polycrystalline silicon film are patterned, and the cap insulating films 108 made up of the silicon nitride film and the sidewall spacers 109 consisting of the silicon nitride film are removed selectively to the silicon oxide film.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-270692

(43)公開日 平成10年(1998)10月9日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 29/78

H 0 1 L 29/78

3 0 1 X

21/28

21/28

L

21/316

21/316

M

21/76

21/76

S

21/336

29/78

3 0 1 P

審査請求 未請求 請求項の数5 F D (全 5 頁)

(21)出願番号

特願平9-91350

(71)出願人 000128049

(22)出願日

平成9年(1997)3月27日

日鉄セミコンダクター株式会社

千葉県館山市山本1580番地

(72)発明者 富岡 雄吾

千葉県館山市山本1580番地 日鉄セミコン

ダクター株式会社内

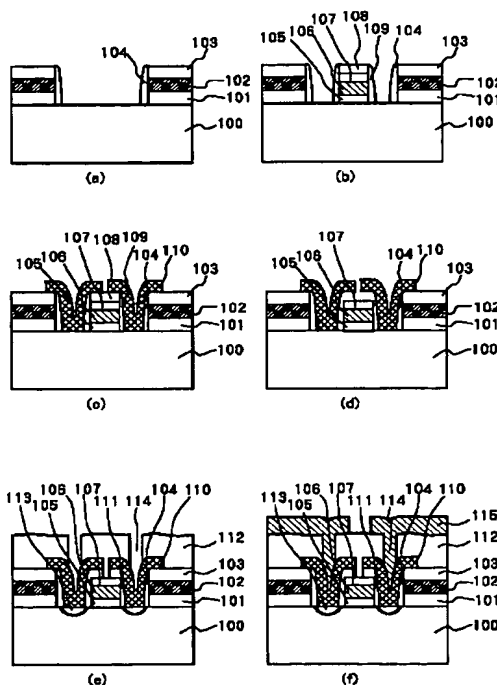
(74)代理人 弁理士 田北 嵩晴

(54)【発明の名称】 MOSトランジスタの製造方法

(57)【要約】

【課題】 MOSトランジスタにおいて、寄生容量を削減して、駆動能力を向上させること。

【解決手段】 ゲート電極106のキャップ絶縁膜として、シリコン酸化膜(下層)105とシリコン窒化膜(上層)108の二層膜を形成し、ゲート電極106をパターニングした後、これらの側壁にシリコン窒化膜から成るサイドウォールスペーサ109を形成する手段を設けたものである。さらに、多結晶シリコン膜から成るソース/ドレイン電極110をパターニングした後、シリコン窒化膜から成るキャップ絶縁膜108およびシリコン窒化膜から成るサイドウォールスペーサ109をシリコン酸化膜に対して選択的に除去する手段を設けたものである。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板上に第1の絶縁膜、第1の導電膜および第2の絶縁膜を順次形成し、パターンニングすることによって所定の形状に加工する工程と、第3の絶縁膜を形成し、これらの側面を覆うサイドウォールスペーサとする工程を経て、フィールドシールド素子分離構造を形成する工程と、前記フィールドシールド素子分離構造によって素子分離されている活性領域に、第4の絶縁膜、第2の導電膜、第5の絶縁膜および第6の絶縁膜を順次形成し、パターンニングすることによって所定の形状に加工する工程と、第7の絶縁膜を形成しこれらの側面を覆うサイドウォールスペーサとする工程を経て、MOS型トランジスタのゲート構造を形成する工程と、第3の導電膜を形成し、パターンニングすることによって所定の形状に加工し、ソース／ドレイン電極を形成する工程と、前記第5の絶縁膜をエッチングストッパーとして、前記第6の絶縁膜および前記第7の絶縁膜から成るサイドウォールスペーサを選択的に除去し、ゲート電極と前記ソース／ドレイン電極との間に間隙を形成する工程を特徴とするフィールドシールド素子分離構造を有するMOSトランジスタの製造方法。

【請求項2】 第2の絶縁膜、第3の絶縁膜および第5の絶縁膜はシリコン酸化膜であり、第6の絶縁膜および第7の絶縁膜はシリコン窒化膜であることを特徴とする請求項1記載のMOSトランジスタの製造方法。

【請求項3】 第1の導電膜および第2の導電膜はN型不純物としてリンをドーブした多結晶シリコン膜であることを特徴とする請求項1記載のMOSトランジスタの製造方法。

【請求項4】 N型MOSトランジスタの場合、第3の導電膜はN型不純物としてヒ素をドーブした多結晶シリコン膜であることを特徴とする請求項1記載のMOSトランジスタの製造方法。

【請求項5】 P型MOSトランジスタの場合、第3の導電膜はP型不純物としてホウ素をドーブした多結晶シリコン膜であることを特徴とする請求項1記載のMOSトランジスタの製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、MOSトランジスタの製造方法に関し、特にLSIの高速化に適用して有効な技術である。

【0002】

【従来の技術】 従来技術として、図4にMOSトランジスタの製造方法について示す。なお、本例におけるMOSトランジスタはN型MOSトランジスタとし、素子分離としてフィールドシールド素子分離法を用いている。

【0003】 P型シリコン基板200上に、フィールドシールドゲート酸化膜201、フィールドシールドゲート電極202、キャップ酸化膜203を形成し、パター

ニングした後、これらの側壁を覆うサイドウォールスペーサ酸化膜204を形成し、フィールドシールド素子分離構造を形成する(a図)。

【0004】 次に、活性領域内にゲート酸化膜205、ゲート電極206、キャップ酸化膜207を形成し、パターンニングした後、これらの側壁を覆うサイドウォールスペーサ酸化膜208を形成する(b図)。

【0005】 次に、ヒ素をドーブした多結晶シリコン膜を全面に形成した後、パターンニングすることによって、MOSトランジスタのソース／ドレイン電極209を形成する(c図)。

【0006】 次に、層間絶縁膜210を形成する。この際の熱処理によって、ソース／ドレイン電極209からP型シリコン基板200にヒ素が熱拡散し、ソース／ドレイン拡散層212が形成される。続いて、コンタクト孔211を開口する(d図)。

【0007】 最後に、金属配線213を形成して、フィールドシールド素子分離構造を有するMOSトランジスタが完成する(e図)。

【0008】

【発明が解決しようとする課題】 上記構造のMOSトランジスタでは、ゲート電極の側壁に酸化膜から成るサイドウォールスペーサが存在しているため、ゲート電極とドレイン電極の間に寄生容量が形成されている。この寄生容量による遅延のため、回路動作が遅くなってしまうという問題がある。

【0009】 そこで、本発明はこの寄生容量を削減して、駆動能力を向上させたMOSトランジスタの製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】 本発明は上記課題を解決するために、ゲート電極のキャップ絶縁膜として、シリコン酸化膜(下層)とシリコン窒化膜(上層)の二層膜を形成し、ゲート電極をパターンニングした後、これらの側壁にシリコン窒化膜から成るサイドウォールスペーサを形成する手段を設けたものである。

【0011】 さらに、多結晶シリコン膜から成るソース／ドレイン電極をパターンニングした後、シリコン窒化膜から成るキャップ絶縁膜およびシリコン窒化膜から成るサイドウォールスペーサをシリコン酸化膜に対して選択的に除去する手段を設けたものである。

【0012】

【作用】 上記手段によれば、ゲート電極とソース／ドレイン電極の間に間隙が形成されるため、電極間の寄生容量が削減される。その結果、MOSトランジスタの駆動能力が向上し、回路動作の高速化が達成できる。

【0013】

【発明の実施の形態】 本発明の実施の形態として、MOSトランジスタの平面図を図1に示す。また、図1におけるA-A'面での製造工程縦断面図を図2に、B-

B'面での製造工程縦断面図を図3に示す。

【0014】P型シリコン基板100上に熱酸化法によって50～100nmのシリコン酸化膜から成るフィールドシールドゲート酸化膜101を形成した後、CVD法によって150～200nmのリンをドーパした多結晶シリコン膜から成るフィールドシールドゲート電極102、200～250nmのシリコン酸化膜から成るキャップ酸化膜103を順次形成し、所定の形状にパターンニングした後、これらの側壁を覆うようにシリコン酸化膜から成るサイドウォールスペーサ酸化膜104を形成する。以上の工程を経て、フィールドシールド素子分離構造が形成される(a図)。

【0015】次に、活性領域内のシリコン基板100上に熱酸化法によって、10～20nmのシリコン酸化膜から成るゲート酸化膜105を形成した後、CVD法によって150～200nmのリンをドーパした多結晶シリコン膜から成るゲート電極106、150～200nmのシリコン酸化膜から成るキャップ酸化膜107、150～200nmのシリコン窒化膜から成るキャップ窒化膜108を順次形成し、所定の形状にパターンニングした後、これらの側壁を覆うようにシリコン窒化膜からなるサイドウォールスペーサ窒化膜109を形成する(b図)。

【0016】次に、CVD法によって全面に150～200nmの多結晶シリコン膜110を形成し、イオン注入法によってヒ素(加速エネルギー:50～90keV, ドーズ量:5～10E15cm⁻²)を導入し、所定の形状にパターンニングすることによって、ソース/ドレイン電極110を形成する(c図)。

【0017】次に、熱リン酸を用いたウェットエッチングによって、キャップ窒化膜108およびサイドウォールスペーサ窒化膜109を選択的に除去する。この結果、ゲート電極106とソース/ドレイン電極110の間に間隙111が形成される(d図)。

【0018】次に、層間絶縁膜としてCVD法によって全面に500～800nmのBPSG膜112を形成し、平坦化のため熱処理を施す。この熱処理によって、ソース/ドレイン電極110からシリコン基板100にヒ素が拡散して、ソース/ドレイン拡散層113が形成される(d図)。

【0019】最後に、コンタクト孔114を開口し、金属配線115を形成する。

【0020】

【発明の効果】以上説明したように本発明によれば、ゲート電極とドレイン電極の間に誘電率の小さい(酸化膜の比誘電率3.9に対して、1.0と約1/4)間隙が形成されるため、電極間の寄生容量が削減される。その結果、MOSトランジスタの駆動能力が向上し、回路動作の高速化が比較的簡便な製造方法にて達成できる。

【図面の簡単な説明】

【図1】本発明の一実施の形態を示すMOSトランジスタの平面図である。

【図2】図1におけるA-A'面での製造工程縦断面図である。

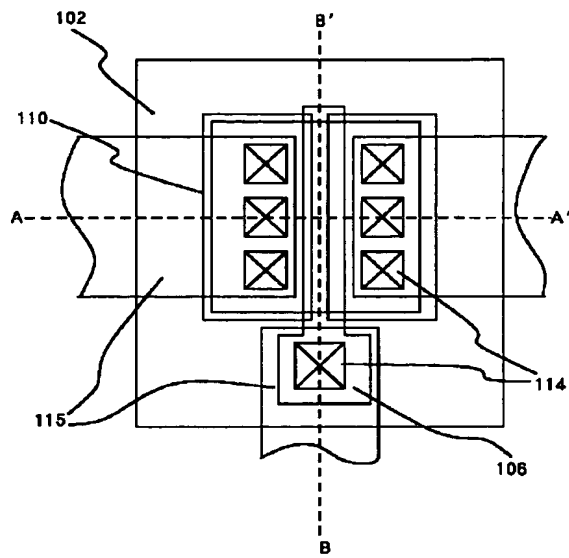
【図3】図1におけるB-B'面での製造工程縦断面図である。

【図4】従来技術例を示す図である。

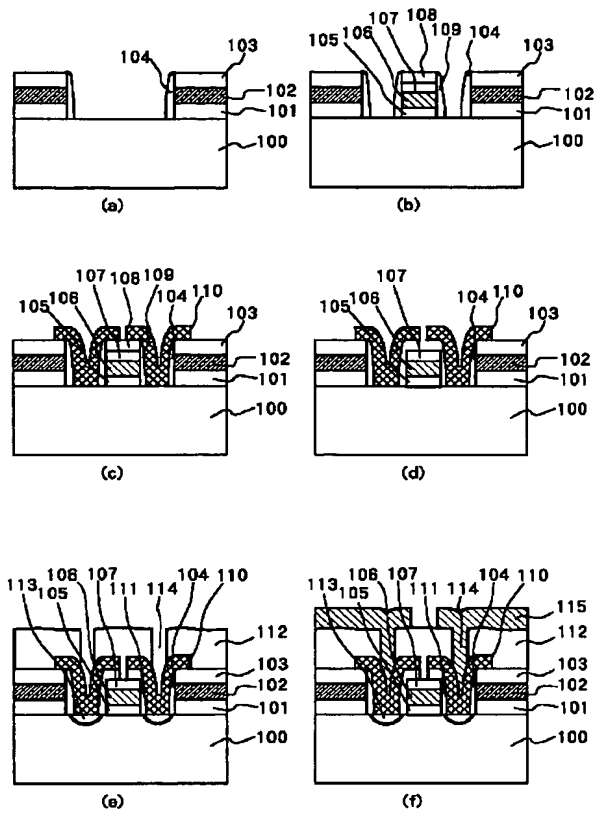
【符号の説明】

- 100 P型シリコン基板
- 101 フィールドシールド酸化膜
- 102 フィールドシールド電極
- 103 キャップ酸化膜
- 104 サイドウォールスペーサ酸化膜
- 105 ゲート酸化膜
- 106 ゲート電極
- 107 キャップ酸化膜
- 108 キャップ窒化膜
- 109 サイドウォールスペーサ窒化膜
- 110 ソース/ドレイン電極
- 111 間隙(空洞)
- 112 BPSG膜
- 113 ソース/ドレイン拡散層
- 114 コンタクト孔
- 115 金属配線
- 200 P型シリコン基板
- 201 フィールドシールド酸化膜
- 202 フィールドシールド電極
- 203 キャップ酸化膜
- 204 サイドウォールスペーサ酸化膜
- 205 ゲート酸化膜
- 206 ゲート電極
- 207 キャップ酸化膜
- 208 サイドウォールスペーサ酸化膜
- 209 ソース/ドレイン電極
- 210 BPSG膜
- 211 ソース/ドレイン拡散層
- 212 コンタクト孔
- 213 金属配線

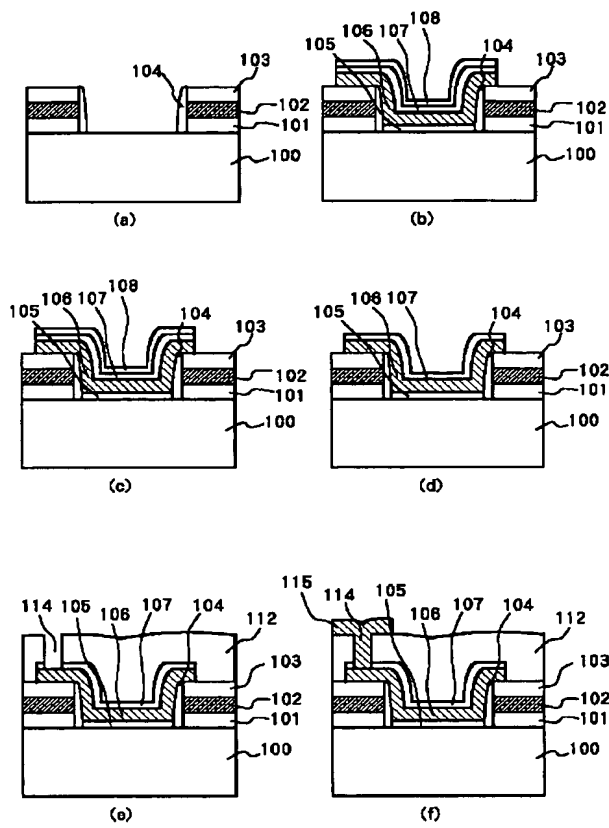
【図1】



【図2】



【図3】



【図4】

